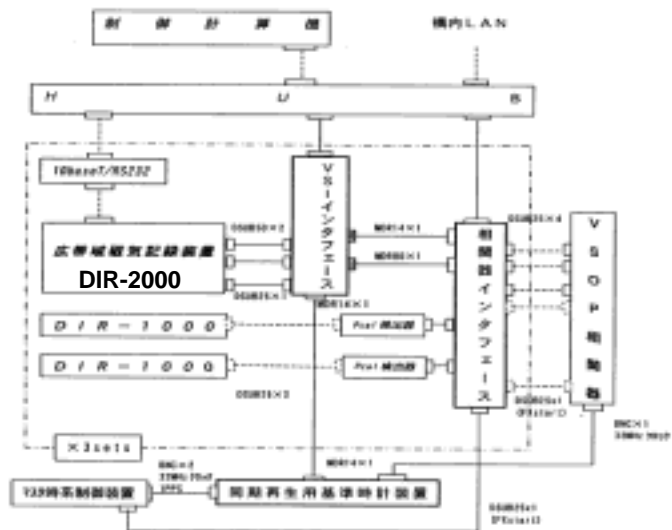


VERA 相関処理

VERA users meeting
2003/10/14

システム構成



VERA 相関処理機器



既存VSOP相関処理装置の改良

- 2bit 256 Msps x10局 (VSOP, J-Netモード)
→ 2bit 512 Msps x 5局 (VERAモード)
- 相関器出力データは、現CODA (CORrelator Data Analyzer) への出力
- FITS (Interferometry Data Exchange format) での出力
- CODA上でのデータ解析

相関処理系ステータス(1)

- 2002年9月に1Gbpsの初フリンジ検出
- 記録系のエラーレートの不安定性
- 同期再生ソフトウェアの整備
- 相関器制御系のバグフィックス
- 16MHz x 16chの定常化
(A beam:B beam=1:15 or 8:8)
- 128MHz x 2chでのフリンジ検出
- その他のモードの運用定常化試験が必要

相関処理系ステータス(2)

- データ解析は、FITS作成後にAIPS上で行う。
- VERA解析系が開発されれば、CODA上で行う。
- 計算機はIBM AIX機(mtksp1)
- ユーザーへは、FITS形式相関生データ、システム雑音、アンテナゲイン、位相校正テーブルの形式で提供する。